1. THIẾT KẾ MẠCH GIAO TIẾP

**Mục tiêu:** Xây dựng lên bảng mạch thực hiện nhiệm vụ kết nối KIT FPGA với mạch khảo sát (đồng bộ mức tín hiệu điệp áp giữa các bộ phận trong phần cứng).

**Sử dụng:**

* Phần cứng: (các thành phần chính)
  + Modul FPGA XCSL25-2FTG256 : Bộ xử lý tín hiệu trung tâm.
  + IC TXS0108E : Chuyển đổi mức điện áp 3.3V-5V.
  + IC CH340C : Truyền thông nối tiếp USB-TTL.
  + IC AS7C1026B-12TCN: SRAM 64kByte.
  + IC LM1117-xV : Ổn áp 5V, 3.3V, 2.5V, 1.8V, 1.2V.
  + IC CD4040B : Bộ đếm nhị phân 12bit.
* Phần mềm:
* Altium Designer.
  1. Giới thiệu về **Module FPGA XC6SLX25**-**2FTG256**

|  |  |
| --- | --- |
| a) | b) |

1. Module mạch FPGA XC6SLX25-2FTG256 a)mặt trước; b)mặt sau

Module FPGA là một mạch in 8 lớp với chíp FPGA Spartan 6 XC6SLX25-2FTG256, Flash ROM XCF08S, SMD, khối tạo dao động 50 MHz SMD. Về giao diện module này có giao tiếp JTAG 6x1 để nạp cấu hình cho FPGA và 02 chân dùng jumper 2.54mm 40x2 chân để cắm trực tiếp xuống module ngoại vi Motherboard, khoảng cách 2 jumper là 68.58mm (2700mil).

Đây là dòng chip giá thành thấp (low-cost) của Xilinx, tài nguyên cơ bản gồm 24061 phần tử logic khả trình (logic cells), 38 khối xử lý tín hiệu số (DSP slices) và 52x18Kb khối nhớ tập trung (Block RAM). Chip sử dụng trong mạch có kiểu đóng gói 256 FTG, gồm 256 chân, trong đó 184 chân có thể lập trình được. XC6SLX25 được cấp các nguồn cơ bản DC 3.3V, DC 2.5V, DC1.8V và DC 1.2V với yêu cầu dòng tổng cho 3.3V không vượt quá 2A. FPGA được lập trình thông qua giao tiếp JTAG.

Xilinx platform Flash XCF08P VO48 là IC chứa ROM cấu hình cố định cho FPGA, dung lượng 8Mb sử dụng giao diện JTAG và điện áp cấp 3.3V. Khối tạo dao động sử dụng chíp oscilliator SMD 4 pin cấp nguồn clock cố định 50MHz nối vào chân A9 của FPGA.

* 1. Thiết kế mạch sử dụng phần mền Altium Designer
     1. **Khối nguồn**

Chức năng chính của LM1117 là điều chỉnh điện áp đầu ra của nguồn điện bằng cách duy trì mức điện áp không đổi mặc dù điện áp đầu vào dao động hoặc dòng điện tải thay đổi. Nó thực hiện điều này bằng cách sử dụng tham chiếu điện áp và bộ khuếch đại lỗi để so sánh điện áp đầu ra với tham chiếu và điều chỉnh đầu ra khi cần để duy trì mức điện áp mong muốn. LM1117 thường được sử dụng để cung cấp điện áp ổn định cho các bộ vi điều khiển, cảm biến và các linh kiện điện tử khác yêu cầu điện áp không đổi để hoạt động bình thường. Nó cũng có thể được sử dụng trong các hệ thống chạy bằng pin để đảm bảo cung cấp điện áp ổn định cho tải khi điện áp pin giảm.

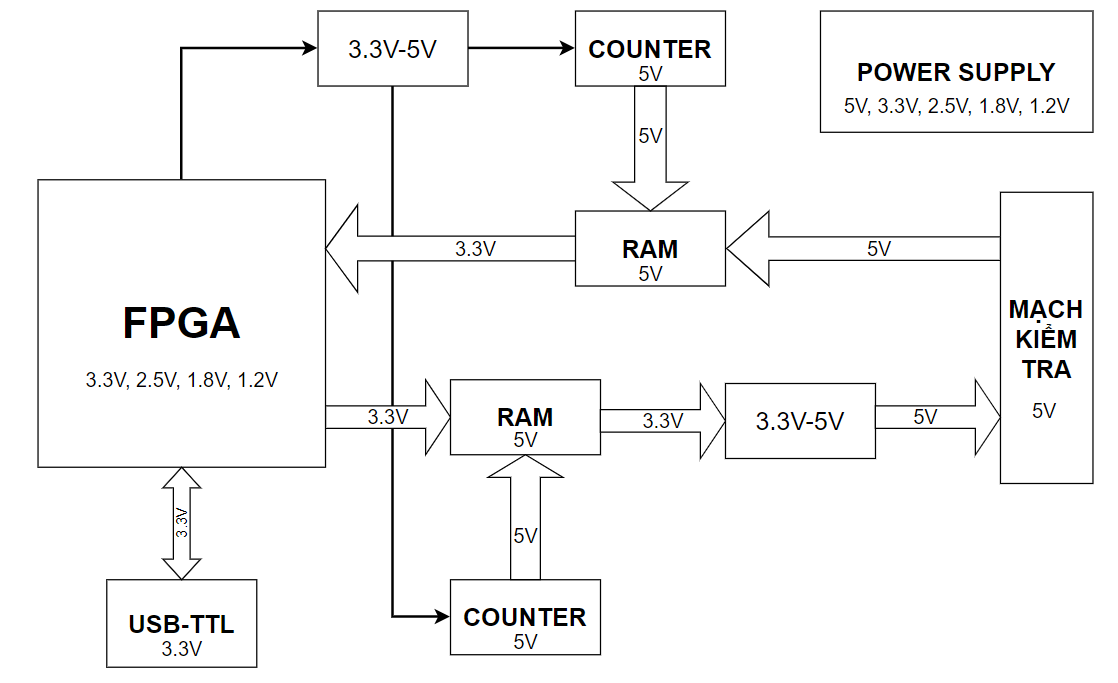
Datasheet LM1117



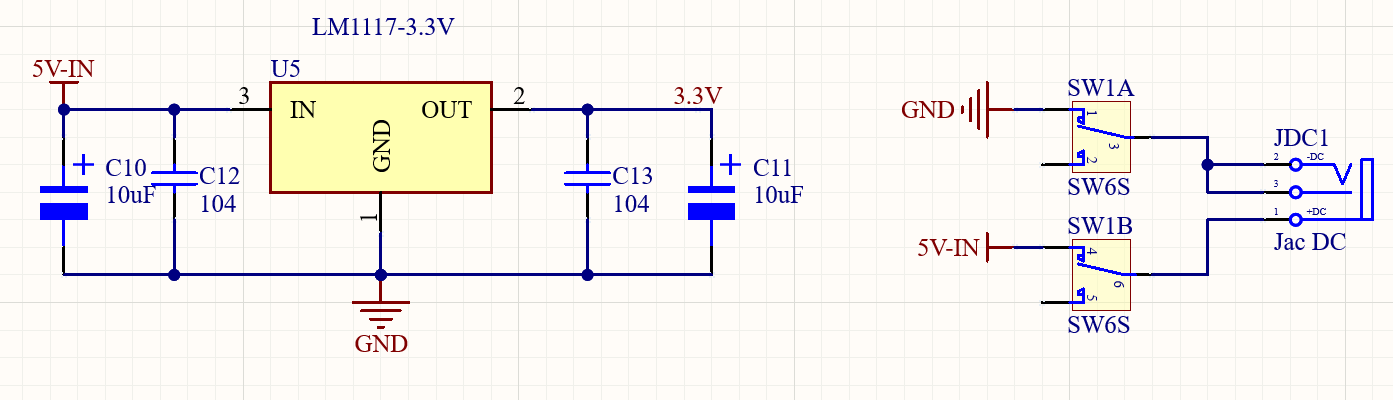
Khối nguồn được thiết kế tập trung trên Motherboard, nguồn vào là DC5V, 4A. Khối nguồn bao gồm 5 IC nguồn (Voltage regulator):

* 1x LM1117 5V 1A (cấp nguồn nuôi cho mạch bảng mạch kiểm tra và nuôi các IC cần nguồn 5V).
* 1x LM1117 3.3.V 1A (cấp nguồn nuôi 3.3V cho mạch FPGA và nuôi các IC cần nguồn 3.3V)
* 1xLM1117 2.5V 1A, 1xLM1117 1.8V 1A, 1xLM1117 1.2V 1A (cấp nguồn nuôi 2.5V, 1.8V và 1.2V cho mạch FPGA).

Từ điều kiện hoạt động được đề xuất có trong Datasheet của các IC, ta có được sơ đồ bên dưới về đồng bộ điện áp giữa các IC.

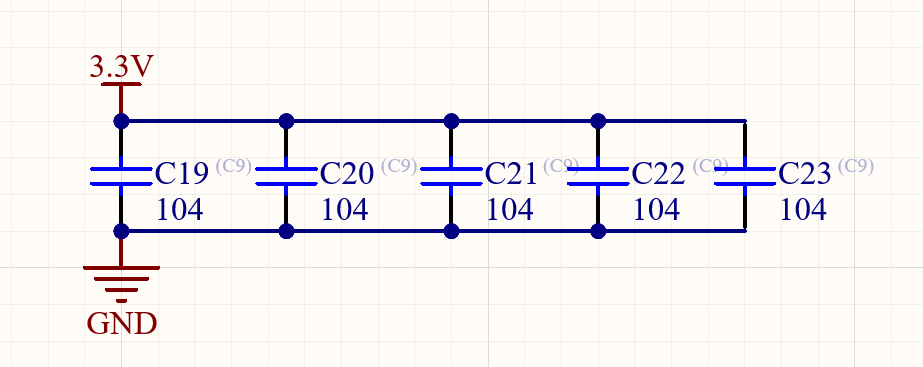


1. Sơ đồ phân chia điện áp trong thiết kế mạch



1. IC ổn áp 3.3V và jack nguồn DC 5V

Để lọc nhiễu tần số cao sử dụng dải tụ gốm 104 song song nối tới GND.



1. Tụ khử nhiễu cho nguồn 3.3V
   * 1. Khối truyền thông USB-TTL

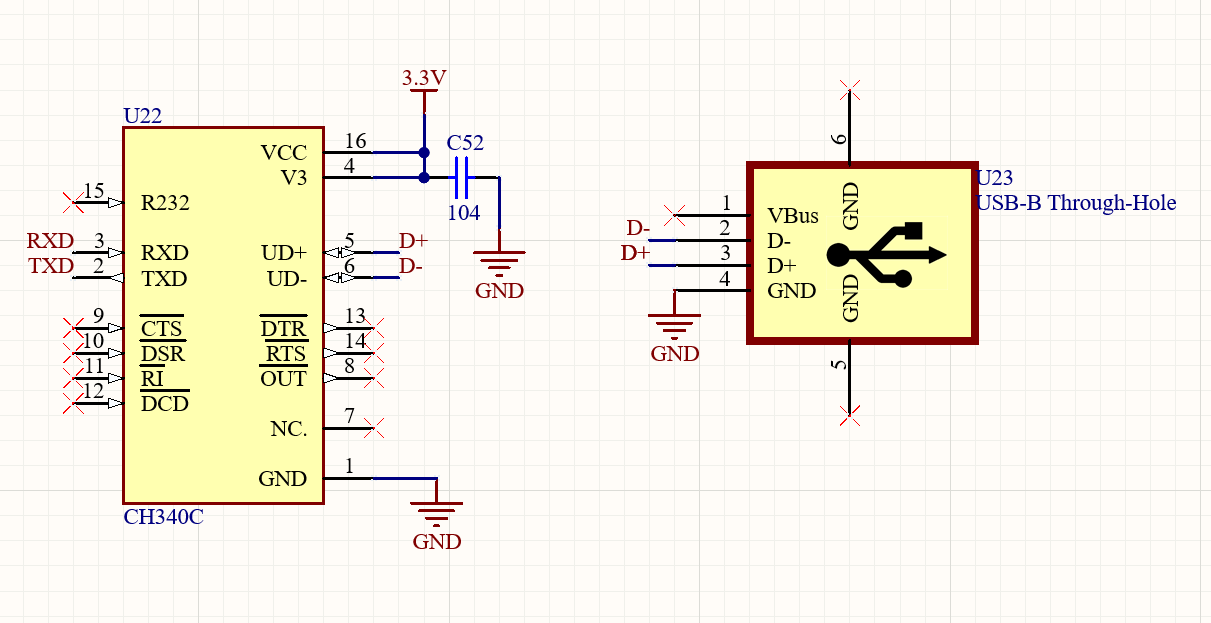
IC CH340C là một chip sử dụng để làm giao tiếp USB-to-serial trên các thiết bị khác nhau. Nó được sử dụng trong nhiều loại thiết bị khác nhau, như các module USB-to-serial, các module cảm biến, các module truyền thông không dây, và các board mạch điều khiển.

IC CH340C có thể hỗ trợ các tốc độ truyền dữ liệu từ 300 baud đến 3 megabaud, và có thể làm việc với các định dạng dữ liệu như data bits 5, 6, 7, hoặc 8; stop bits 1 hoặc 2; và parity none, even, odd, mark, hoặc space. Nó cũng có thể được sử dụng để hỗ trợ các giao thức khác nhau, như giao thức chuẩn RS232, RS485, và TTL.

Tổng quan, chức năng của IC CH340C là giúp cho các thiết bị khác nhau có thể giao tiếp với máy tính hoặc các thiết bị khác thông qua giao diện USB bằng cách chuyển đổi dữ liệu giữa các giao thức USB và các giao thức truyền dữ liệu khác.

DataSheet CH340

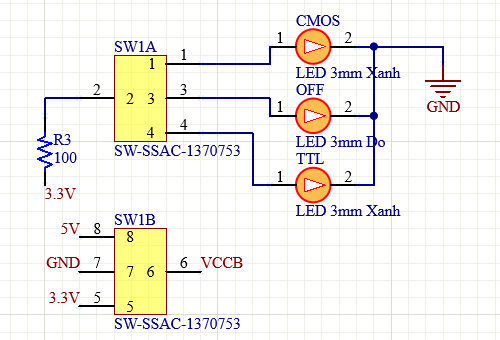




1. Schematic IC CH340C

Truyền dữ liệu nối tiếp giữa PC và FPGA.

* + 1. Khối chuyển chế độ



1. Schematic khối chuyển chế độ

Sử dụng 1 công tắc 3 vị trí (kép) và 3xLED 3mm. Hình 5, SW1B làm nhiệm vụ chuyển mạch kết nối tới VCCB (chân xác định mức điện áp ra của IC TXS0108E). Chuyển đổi giữa 5V, 3.3V, GND cho phép đầu ra của mạch giao tiếp tương ứng với điện áp của chân VCCB. Khi gạt công tắc chuyển mạch thì LED chỉ thị cũng sáng theo điện áp được chọn.

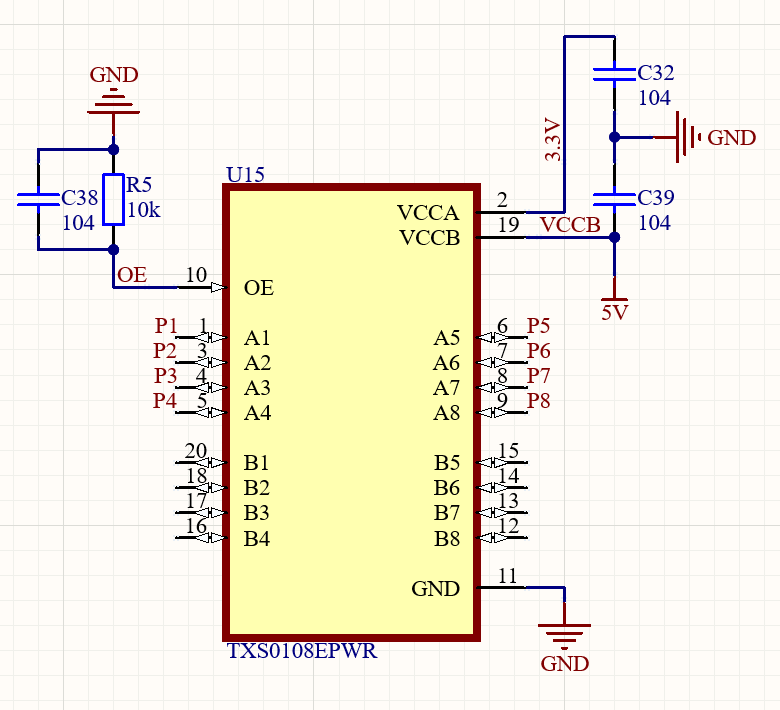
* + 1. Khối chuyển mức điện áp 3.3V-5V

IC TXS0108E là một chuyển đổi điện áp 8-kênh có thể chuyển đổi từ một điện áp đầu vào cao hơn về một điện áp đầu ra thấp hơn. Nó được sử dụng để chuyển đổi điện áp từ một nguồn có điện áp cao về một nguồn có điện áp thấp hơn, ví dụ như chuyển đổi điện áp từ một pin tới một vi điều khiển. TXS0108E cũng có thể được sử dụng để chuyển đổi từ một nguồn điện áp tĩnh về một nguồn điện áp tĩnh khác với điện áp khác nhau. Nó có thể làm việc với các điện áp đầu vào từ 1.2 V đến 5.5 V và có thể chuyển đổi điện áp đến mức độ chính xác cao. Nó cũng có khả năng tự bảo vệ khi có quá tải hoặc quá nhiệt.

Sử dụng 7x IC TXS0108E, trong đó 6 IC(dùng 74 kênh) làm bộ phận chuyển đổi điện áp từ RAM(3.3V) tới Mạch kiểm tra(5V). 1 IC chuyển đổi điện áp đường CLK và RST tới bộ đếm nhị phân (dùng 2 kênh cho bộ đếm địa chỉ RAM\_IN, 2 kênh cho bộ đếm địa chỉ RAM\_OUT )

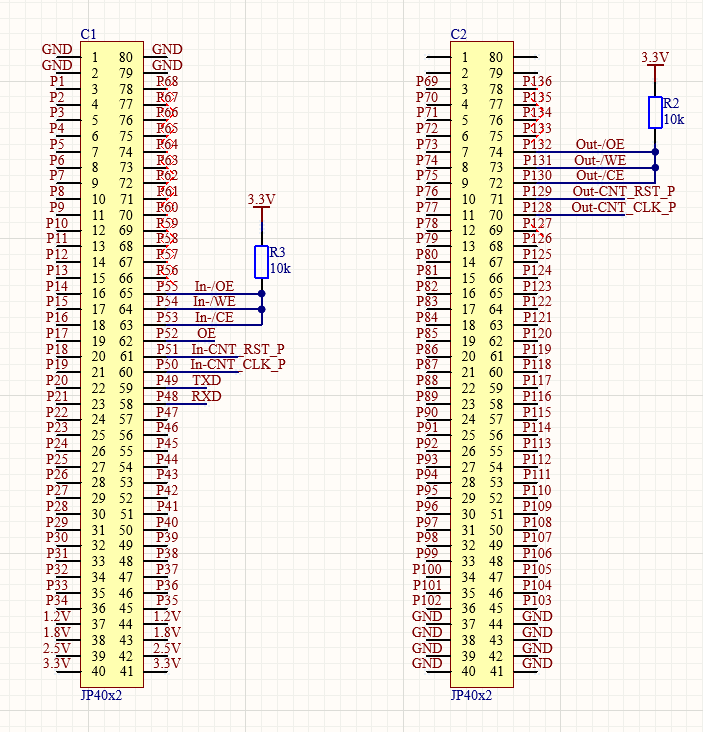
DataSheet TXS0108E





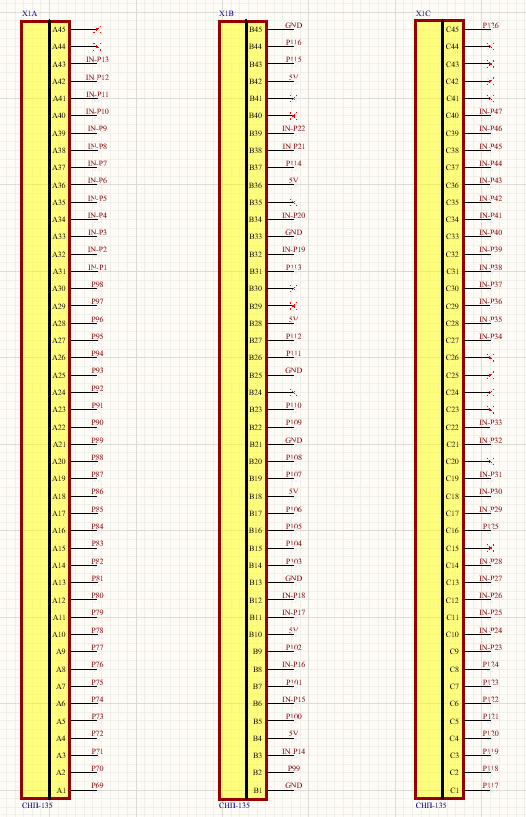
1. Schematic IC TXS0108E

* IC này mắc chung :
  + Chân định mức điện áp đầu vào (VCCA) mức 3.3V.
  + Chân cho phép IC hoạt động (OE) mức 3,3V.
  + GND.
  + Chân định mức điện áp đầu ra (VCCB) (theo [khối chuyển chế độ](#chuyen_che_do)).
* Các chân truyền tín hiệu (A, B) được độc lập nhau để chuyển 3.3V-5V.
  + Các chân A kết nối trực tiếp tới bus dữ liệu của RAM.
  + Các chân B kết nối trực tiếp tới СНП-135 (**Giao tiếp với mạch kiểm tra**).
    1. Khối chân giao tiếp
* Sử dụng 2 x header 40x2 (kết nối với Module FPGA), khoảng cách giữa 2 header là 68.58mm (2700mil).



1. Header kết nối với FPGA

* Sử dụng СНП-135 (kết nối tới **mạch kiểm tra**).



1. Header kết nối với Mạch kiểm tra
   * 1. Khối RAM

IC AS7C1026B-12TCN là một loại RAM CMOS (Complementary Metal-Oxide-Semiconductor) có cấu trúc nhôm và hỗ trợ kết nối asynchronous, có nghĩa là nó có khả năng điều chỉnh tốc độ đồng bộ hóa dữ liệu theo nhu cầu của hệ thống. Nó có dung lượng 64KB và có khả năng lưu trữ tối đa 16bit dữ liệu. RAM là bộ nhớ truy cập ngẫu nhiên, có nghĩa là nó cho phép hệ thống điện tử truy cập và đọc dữ liệu từ bộ nhớ một cách linh hoạt và nhanh chóng. RAM là bộ nhớ tạm thời, có nghĩa là nó chỉ lưu trữ dữ liệu trong khi hệ thống điện tử đang hoạt động và dữ liệu sẽ bị mất khi hệ thống được tắt.

Datasheet AS7C1026B



|  |  |
| --- | --- |
| 1. SRAM\_IN | 1. SRAM\_OUT |

Khối RAM\_IN để lưu trữ dữ liệu truyền từ FPGA tới mạch kiểm tra. Vì là kiểu truyền song song, cần 47bit dữ liệu được truyền cùng một lúc tới mạch kiểm tra nên ta chọn ghép nối RAM theo kiếu song song(chung bus địa chỉ, ghép nối bus dữ liệu, chung bus điều khiển). kết quả ghép nối 3IC RAM ta được một khối RAM\_IN có dung lượng 192kByte với 16bit địa chỉ(A0…A15), 48bit dữ liệu(D0…D47), 3bit điều khiển(/OE, /WE, /CE ). Khối RAM\_IN dư 1bit dữ liệu(D47) không dùng tới nên ta sử dụng trở 10k kéo xuống GND.

Khối RAM\_OUT để lưu trữ dữ liệu truyền từ mạch kiểm tra tới FPGA. Vì là kiểu truyền song song, cần 58bit dữ liệu được truyền cùng một lúc tới PFGA nên ta chọn ghép nối RAM theo kiếu song song(chung bus địa chỉ, ghép nối bus dữ liệu, chung bus điều khiển). kết quả ghép nối 4IC RAM ta được một khối RAM\_OUT có dung lượng 256kByte 16bit địa chỉ(A0…A15), 64bit dữ liệu(D0…D47), 3bit điều khiển(/OE, /WE, /CE ).Khối RAM\_OUT dư 6bit dữ liệu(D58…D63) không dùng tới nên ta sử dụng trở 10k kéo xuống GND.

* + 1. Khối bộ đếm nhị phân 12 bit

CD4040B là một ic đếm số nhị phân 12bit dùng để phân chia tần số. Nó có một đầu vào nhị phân (clock) và một đầu ra nhị phân cho mỗi trạm đếm. Khi tần số đầu vào tăng, mỗi lần xung đầu vào sẽ khiến các đầu ra liên tiếp được bật theo thứ tự từ 0 đến 4095. CD4040B có thể được sử dụng trong nhiều ứng dụng khác nhau, như đồng hồ số, bộ phân tần số, và máy tạo dạng sóng. Nó có một tốc độ hoạt động tối đa là 10 MHz và có một đầu vào clear, khi được giữ thấp sẽ khởi tạo lại đếm về 0.

Datasheet CD4040B



|  |  |
| --- | --- |
| 1. Bộ đếm cho khối RAM\_IN | 1. Bộ đếm cho khối RAM\_OUT |

Hai khối đếm nhị phân dùng để đếm địa chỉ cho hai khối RAM\_IN và khối RAM\_OUT. Nối 12 bit đếm của mỗi bộ đếm vào chân địa chỉ của 2 khối RAM tương ứng. Vì kênh địa chỉ của khối RAM có 16bit mà bộ đếm chỉ có 12bit nên các bit địa từ A12…A15 của khối RAM ra sẽ gán mức logic ‘0’ (dùng trở 10k kéo xuống GND).

**Recommended operating conditions**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Tham số** | **Sym** | **Min(V)** | Nominal(V) | **Max(V)** | **VCC(V)** | **Device**  **IC** |
| Input voltage | **VIH** | **2.2** | **-** | **VCC+0.5** | **5.0** | **AS7C1026B** |
| **VIL** | **-0.5** | **-** | **0.8** |
| Output voltage | **VOL** | **-** | **-** | **0.4** |
| **VOH** | **2.4** | **-** | **-** |
| Input voltage | **VIH** | **3.5** | **3** | **-** | **5.0** | CD4040B |
| **VIL** | **-** | **2** | **1.5** |
| Output voltage | **VOL** | **-** | **0** | **0.05** |
| **VOH** | **4.95** | **5** | **-** |
| Input voltage | **VIH** |  |  |  | **3.3 - 5** | **TXS0108E** |
| **VIL** |  |  |  |
| Output voltage | **VOL** |  |  |  |
| **VOH** |  |  |  |
| Input voltage | **VIH** |  |  |  | **3.3** | **CH340C** |
| **VIL** |  |  |  |
| Output voltage | **VOL** |  |  |  |
| **VOH** |  |  |  |
| Input voltage | **VIH** |  |  |  | **3.3- 2.5- 1.8- 1.2** | **FPGA** |
| **VIL** |  |  |  |
| Output voltage | **VOL** |  |  |  |
| **VOH** |  |  |  |

Điều kiện để hai IC có thể giao tiếp được với nhau: **VOL<VIL; VOH>VIH.**